日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１０月１１日

出願番号
Application Number: 特願２００２－２９８９８１

[ST. 10/C]: [ＪＰ２００２－２９８９８１]

出願人
Applicant(s): セイコーエプソン株式会社

２００３年 ９月 ８日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号 出証特２００３－３０７３１８１

【書類名】　特許願
【整理番号】　J0092165
【提出日】　平成14年10月11日
【あて先】　特許庁長官殿
【国際特許分類】　G02G　5/20
【発明者】
　【住所又は居所】　長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内
　【氏名】　芦田　剛士
【特許出願人】
　【識別番号】　000002369
　【氏名又は名称】　セイコーエプソン株式会社
【代理人】
　【識別番号】　100095728
　【弁理士】
　【氏名又は名称】　上柳　雅誉
　【連絡先】　０２６６－５２－３１３９
【選任した代理人】
　【識別番号】　100107076
　【弁理士】
　【氏名又は名称】　藤綱　英吉
【選任した代理人】
　【識別番号】　100107261
　【弁理士】
　【氏名又は名称】　須澤　修
【手数料の表示】
　【予納台帳番号】　013044
　【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【包括委任状番号】　0109826

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　回路基板、バンプ付き半導体素子の実装構造、及び電気光学装置、並びに電子機器

【特許請求の範囲】

【請求項１】　バンプ付き半導体素子を実装するための複数のパッドと、当該複数のパッドの各々から引き出された複数の配線を含む回路基板において、

前記複数のパッドの縦方向のピッチと横方向のピッチとが異なる領域を有し、

前記複数の配線は、前記複数のパッドの縦方向または横方向のいずれかピッチが広い側から引き出されていることを特徴とする回路基板。

【請求項２】　前記広い側のパッドのピッチをＰ１とし、狭い側のピッチをＰ２としたときに、Ｐ１／Ｐ２で表される比率を１．０１～３の範囲内の値とすることを特徴とする請求項１に記載の回路基板。

【請求項３】　前記広い側のパッドのピッチを０．４～２．０ｍｍの範囲内の値とし、狭い側のピッチを前記広い側のパッドのピッチよりも小さい値とすることを特徴とする請求項１または２に記載の回路基板。

【請求項４】　前記縦方向のパッドのピッチと、横方向のパッドのピッチに比例させて、前記パッドの縦横比を定めることを特徴とする請求項１～３のいずれか一項に記載の回路基板。

【請求項５】　前記半導体素子の底面の中央付近に、前記縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域が設けてあることを特徴とする請求項１～４のいずれか一項に記載の回路基板。

【請求項６】　前記半導体素子の底面の周囲付近に、前記縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域が設けてあることを特徴とする請求項１～４のいずれか一項に記載の回路基板。

【請求項７】　前記縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域がブロック的に設けてあり、当該ブロック間のスペースを利用して、前記パッドの配線を優先的に引き出してあることを特徴とする請求項１～６のいずれか一項に記載の回路基板。

【請求項８】　前記半導体素子が、ボール・グリッド・アレイであることを

特徴とする請求項１～７のいずれか一項に記載の回路基板。

【請求項９】　縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を引き出してある回路基板に対して、前記パッド上に塗布した半田材料を介して、バンプ付き半導体素子が実装されてなることを特徴とするバンプ付き半導体素子の実装構造。

【請求項１０】　前記半田材料の一部を、前記バンプ付き半導体素子のパッドに付着させてあることを特徴とする請求項９に記載のバンプ付き半導体素子の実装構造。

【請求項１１】　前記バンプ付き半導体素子と、前記回路基板との間に、以下の特性を有するアンダーフィルが充填してあることを特徴とする請求項９または１０に記載のバンプ付き半導体素子の実装構造。

（１）体積抵抗が1×10^{6}～$1\times10^{20}\Omega\cdot cm$の範囲内の値である。

（２）引張強さが１～２００ＭＰａの範囲内の値である。

（３）伸びが１０～５００％の範囲内の値である。

【請求項１２】　駆動素子または電源素子として、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を引き出した回路基板上に実装された半導体素子を含むことを特徴とする電気光学装置。

【請求項１３】　請求項１２に記載された電気光学装置と、当該電気光学装置を制御するための制御手段と、を備えることを特徴とする電子機器。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、回路基板、バンプ付き半導体素子の実装構造、及び電気光学装置、並びに電子機器に関する。特に、ボール・グリッド・アレイ（以下、ＢＧＡ）等の微細なバンプ付き半導体素子を、リフロー処理によって実装する場合であっても、実装位置がずれることが少ない回路基板、バンプ付き半導体素子の実装構造、及びそのような回路基板を含む電気光学装置、並びに電子機器に関する。

【０００２】

【従来の技術】

従来、半導体素子のリード端子のファインピッチ化や多ピン化に対応した実装方法として、プリント配線基板（ＰＣＢ）上に、ＱＦＰ（クアッド・フラット・パッケージ）を搭載する方法が広く実施されている。これは、パッケージの４辺に多数のガルウィング型のリード端子を持つフラットパッケージであるＱＦＰを、通常、樹脂等からなるＰＣＢに実装するとともに、ＰＣＢの導体部との電気的接続が図られた状態で使用されるものである。

しかしながら、ＱＦＰは、さらなるファインピッチ化や多ピン化に伴い、実装時における半田ブリッジによる短絡や、半田不足などによって、接続信頼性が低いという問題が指摘されている。また、ＱＦＰは、リード端子がパッケージより外側に突出している分、ＰＣＢ上における実装面積が増大するという問題も見られた。

【０００３】

そこで、半導体素子のさらなるファインピッチ化や多ピン化に対応するために、ＢＧＡや、チップサイズパッケージ（以下、ＣＳＰ）を用いた実装方法や、それらを実装するプリント基板が提案されている（例えば、特許文献１参照）。

具体的には、図２４に示すように、同一のプリント基板上に、形状の違う半導体パッケージのランド３８１、３８２がそれぞれ配置されており、それぞれのパッケージで同じ機能を有する端子が接続されるべきランド同士をパターン配線３８３で接続したプリント基板がある。かかるプリント基板によれば、プリント基板に搭載するパッケージの形状が変更されても、新規に別のプリント基板を製造せずに、同一のプリント基板で搭載ができるようになる。

【０００４】

また、ＢＧＡ等の交換修理が困難な電子部品を、半田付け不良が生じないように実施する実装方法がある。より具体的には、図２５にそのフロー図を概略的に示すように、ＰＣＢ上の所定箇所にクリーム半田を印刷する工程２９１と、ＢＧＡ（ピッチが０．８ｍｍ以下のチップサイズパッケージ（ＣＳＰ）を含む。）等のバンプ付き半導体素子を、クリーム半田が印刷されたＰＣＢ上の所定箇所にマ

ウンターにより搭載する工程２９２と、Ｘ線検査を実施して、半導体素子における良品と、不良品とを選別する工程２９３と、Ｘ線検査に合格した半導体素子における良品のみをリフロー加熱して実装する工程２９４と、を含む実装方法２９０である。

【０００５】

また、図２６（ａ）～（ｃ）に示すように、異方性導電膜(Anisotropic Conductive Film,以下、ＡＣＦ)３４７を介して、バンプ付き半導体素子３４６と、基板３４３のパッド３４１とを熱圧着する実装方法も提案されている。

かかるＡＣＦ３４７による実装方法によれば、ＣＳＰのようにバンプ３４７のピッチが０．１～０．５ｍｍ程度と狭い場合であっても、隣接するバンプ間でのショートの発生を効率的に防止できるとともに、多くのバンプ３４７を一括して電気接続できるという利点を得ることができる。

【０００６】

【特許文献１】

特開平１０－２９００５８号公報　（第２頁、図１）

【０００７】

【発明が解決しようとする課題】

しかしながら、特許文献１のプリント基板は、ＢＧＡ等の微細なバンプ付き半導体素子を実装する際に、導電材料としての半田材料を、微細なランド（パッド）上に正確に印刷しなければならないため、印刷のための位置合わせや印刷自体に時間がかかる一方、印刷した半田材料の位置と、パッドとが容易にずれやすいという問題が見られた。特に、ＣＳＰの場合は、ＢＧＡよりもさらにファインピッチ化されているため、半田材料をＦＰＣ等の変形しやすいプリント基板のランド（パッド）上に、精度良く印刷し、実装することは事実上、困難であった。

【０００８】

また、図２５に示された実装方法によれば、リフロー加熱前にＸ線検査を実施しなければならず、工程数が増大するとともに、製造管理が複雑化したり、製造時間が長くなったりするなどの問題が見られた。また、クリーム半田を、微細なパッド上に正確に印刷しなければならないため、印刷のための位置合わせや印刷

自体に時間がかかるという問題が見られた。

さらに、ＡＣＦを用いた実装方法は、当該ＡＣＦのコストが高いばかりか、他の素子との同時実装が困難であるという問題が見られた。すなわち、熱圧着して実装するＡＣＦと、半田リフロー処理により実装する他の素子とは、異なる実装プロセスの順序を考慮しつつ、別個に実施しなければならなかった。

【０００９】

そこで、上記問題点を鋭意検討した結果、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、パッドの配線を優先的に引き出すことにより、半田材料の塗布不良が少なくなって、フレキシブル配線基板（以下、ＦＰＣ）等の比較的変形しやすい基板に対しても、微細なバンプ付き半導体素子を精度よくリフロー実装できることを見出した。

すなわち、本発明は、ボール・グリッド・アレイ（以下、ＢＧＡ）等の微細なバンプ付き半導体素子を、リフロー処理によって実装する場合であっても、半導体素子の実装位置がずれることが少ない回路基板、バンプ付き半導体素子の実装構造、及び電気光学装置、並びに電子機器を提供することを目的としている。

【００１０】

【課題を解決するための手段】

本発明によれば、半導体素子を実装するための複数のパッド、および複数のパッドの各々から引き出された複数の配線を含む回路基板において、複数のパッドの縦方向のピッチと横方向のピッチとが異なる領域を有し、複数の配線は、複数のパッドの縦方向または横方向のいずれかピッチが広い側から引き出されていることを特徴とする回路基板が提供され、上述した問題点を解決することができる。

すなわち、このように構成することにより、パッドと、配線との間の距離を比較的広くすることができるため、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができる。

【００１１】

また、本発明の回路基板を構成するにあたり、広い側のパッドのピッチをＰ１

とし、狭い側のピッチをＰ２としたときに、Ｐ１／Ｐ２で表される比率を１．０１～３の範囲内の値とすることが好ましい。

このように構成することにより、パッドと、配線との間の距離を確実に広くすることができるため、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができる。

【００１２】

また、本発明の回路基板を構成するにあたり、広い側のパッドのピッチを０．４～２．０ｍｍの範囲内の値とし、狭い側のピッチを広い側のパッドのピッチよりも小さい値とすることが好ましい。

このように構成することにより、パッドと、配線との間の距離を確実に広くすることができるため、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができる。

【００１３】

また、本発明の回路基板を構成するにあたり、縦方向のパッドのピッチと、横方向のパッドのピッチに比例させて、パッドの縦横比を定めることが好ましい。

このように構成することにより、パッドと、配線との間の距離をさらに広くすることができるため、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができる。

【００１４】

また、本発明の回路基板を構成するにあたり、半導体素子の底面の中央付近に、縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域が設けてあることが好ましい。

このように構成することにより、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができるとともに、回路配線の自由度を高めることができる。

【００１５】

また、本発明の回路基板を構成するにあたり、半導体素子の底面の周囲付近に、縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域が設けてあることが好ましい。

このように構成することにより、半田材料の印刷ずれ等に伴うショートの発生

を少なくすることができるとともに、回路配線の自由度を高めることができる。

【００１６】

また、本発明の回路基板を構成するにあたり、縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域がブロック的に設けてあり、当該ブロック間のスペースを利用して、パッドの配線を優先的に引き出してあることが好ましい。

このように構成することにより、半田材料の印刷ずれ等に伴うショートの発生を少なくすることができるとともに、回路配線の自由度を高めることができる。

【００１７】

また、本発明の回路基板を構成するにあたり、適用する半導体素子が、ボール・グリッド・アレイ（ＢＧＡ）であることが好ましい。

このように構成することにより、配線のファインピッチ化や多ピン化に対応した回路基板を提供することができる。

【００１８】

また、本発明の別の態様は、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を優先的に引き出してある回路基板に対して、パッド上に塗布した半田材料を介して、バンプ付き半導体素子が実装されてなることを特徴とするバンプ付き半導体素子の実装構造である。

すなわち、このように構成することにより、パッドと、隣接する配線との間の距離を比較的広くすることができるため、半田材料の塗布不良（印刷ずれ）等に伴うショートの発生やバンプ付き半導体素子の実装位置のずれを少なくすることができる。

【００１９】

また、本発明のバンプ付き半導体素子の実装構造を構成するにあたり、半田材料の一部を、バンプ付き半導体素子のパッドに付着させてあることが好ましい。

このように構成することにより、ＢＧＡ等の微細なバンプ付き半導体素子を、変形しやすいフレキシブル回路基板等に対して実装する場合であっても、半導体素子の位置ずれを少なくすることができる。

【００２０】

また、本発明のバンプ付き半導体素子の実装構造を構成するにあたり、バンプ付き半導体素子と、回路基板との間に、以下の特性を有するアンダーフィルが充填してあることが好ましい。

（１）体積抵抗が１×１０^{6}～１×１０^{20}Ω・ｃｍの範囲内の値である。

（２）引張強さが１～２００ＭＰａの範囲内の値である。

（３）伸びが１０～５００％の範囲内の値である。

このように構成することにより、環境安定性や機械的特性に優れたバンプ付き半導体素子の実装構造を提供することができる。

【００２１】

また、本発明の別の態様は、駆動素子または電源素子として、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を優先的に引き出した回路基板上に実装されたバンプ付き半導体素子を含むことを特徴とする電気光学装置である。

すなわち、このように構成することにより、半田材料の塗布不良等に伴うショートの発生や、バンプ付き半導体素子の実装位置のずれが少ない回路基板を含んだ電気光学装置を得ることができる。

【００２２】

また、本発明の別の態様は、上述した電気光学装置と、当該電気光学装置を制御するための制御手段と、を備えることを特徴とする電子機器である。

すなわち、このように構成することにより、環境安定性に優れ、ショートの発生が少ない回路基板を含んだ電子機器を得ることができる。

【００２３】

【発明の実施の形態】

以下、図面を参照して、本発明のバンプ付き半導体素子の実装方法、及びそれを用いた電気光学装置、並びに電子機器に関する実施形態について具体的に説明する。

ただし、かかる実施形態の説明は、本発明の一態様を例示するものであり、言

うまでも無く本発明を限定するものではなく、本発明の目的の範囲内で任意に変更することが可能である。

【００２４】

［第１実施形態］

第１実施形態は、図１に示すように、バンプ付き半導体素子を実装するための複数のパッド４１３ａと、当該複数のパッド４１３ａの各々から引き出された複数の配線４１１を含む回路基板であって、複数のパッド４１３ａの縦方向のピッチと横方向のピッチとが異なる領域を有し、複数の配線４１１は、複数のパッド４１３ａの縦方向または横方向のいずれかピッチが広い側から引き出されていることを特徴とする回路基板である。

【００２５】

１．パッド

（１）異方性

①ピッチの比率

広い側のパッドのピッチをＰ１とし、狭い側のピッチをＰ２としたときに、Ｐ１／Ｐ２で表される比率を１．０１～３の範囲内の値とすることが好ましい。

この理由は、かかるＰ１／Ｐ２で表される比率が１．０１未満の値になると、外部への配線の取り出しや引き回しが困難となる場合があるためである。一方、かかるＰ１／Ｐ２で表される比率が３を超えると、単位面積あたりに配置可能なパッド数が過度に制限されたり、逆に配線の引き回しが困難になったりする場合があるためである。

したがって、かかるＰ１／Ｐ２で表される比率を１．０５～２．５の範囲内の値とすることがより好ましく、１．１～２．０の範囲内の値とすることがさらに好ましい。

【００２６】

②ピッチ

また、図２に示すように、広い側のパッドのピッチを０．４～２．０ｍｍの範囲内の値とし、狭い側のピッチを広い側のパッドのピッチよりも小さい値とすることが好ましい。

この理由は、広い側のパッドのピッチが０．４ｍｍ以上であれば、外部への配線の取り出しや引き回しが容易になるためであり、一方、かかるピッチが２．０ｍｍを超えると、単位面積あたりに配置可能なパッド数が過度に制限される場合があるためである。

したがって、広い側のパッドのピッチを０．４５～１．８ｍｍの範囲内の値とし、狭い側のピッチを広い側のパッドのピッチよりも小さい値とすることがより好ましく、広い側のパッドのピッチを０．５～１．６ｍｍの範囲内の値とし、狭い側のピッチを広い側のパッドのピッチよりも小さい値とすることがさらに好ましい。

【００２７】

③パッドの縦横比

また、図３に示すように、縦方向のパッドのピッチと、横方向のパッドのピッチに比例させて、パッド４１３の縦横比を定めることが好ましい。すなわち、広い側のパッドのピッチをＰ１、狭い側のピッチをＰ２とし、Ｐ１方向に対応するパッドの幅をＬ１、Ｐ２方向に対応するパッドの幅をＬ２としたときに、Ｐ１とＰ２の比に比例させて、Ｌ１とＬ２の比を定めることが好ましい。

この理由は、パッドの縦横比と、パッドのピッチとが対応していることにより、パッドの面積を大きくすることができるとともに、外部への配線の取り出しや引き回しが容易になるためである。

【００２８】

④位置

また、図４（ａ）に示すように、ＢＧＡの底面４３３の中央付近に、縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域４３３ａが設けてあることが好ましい。

この理由は、ＢＧＡの底面の中央付近に配線の引き回しが集中する場合があるが、そのような場合であっても、ピッチとが異なる領域が設けてあることにより、縦方向と横方向のいずれか広いピッチを有する方向から優先的に配線を取り出すことができるためである。

一方、図４（ｂ）に示すように、ＢＧＡの底面４３３の周辺付近に、縦方向の

パッドのピッチと、横方向のパッドのピッチとが異なる領域４３３ｂが設けてあることが好ましい。

この理由は、ＢＧＡの底面の周辺付近に、外部への配線の引き回しが集中する場合があるが、そのような場合であっても、ピッチとが異なる領域が設けてあることにより、縦方向と横方向のいずれか広いピッチを有する方向から優先的に配線を取り出すことができるためである。

【００２９】

⑤ブロック

また、図５に示すように、縦方向のパッドのピッチと、横方向のパッドのピッチとが異なる領域がブロック的に設けてあり、当該ブロック４３５間のスペースを利用して、前記パッドの配線４１１を優先的に引き出してあることが好ましい。

この理由は、ブロック間にスペースが設けてあり、当該スペースを利用して、半田材料の塗布マージンを広くとれるためである。したがって、半田材料の塗布不良等に伴うショートの発生を少なくすることができる。また、ブロック間のスペースを利用して、回路配線の自由度や外部への取り出しを容易にすることもできるためである。

【００３０】

（２）パッドの面積

また、パッドの面積を０．０１～０．５mm^2の範囲内の値とすることが好ましい。

この理由は、かかるパッドの面積が０．０１mm^2未満の値になると、半田材料の塗布が困難となったり、ＢＧＡとの電気接続性が不安定になったりする場合があるためである。

一方、かかるパッドの面積が０．５mm^2を超えると、配線の引き回しが困難になったり、配線の幅を過度に狭くしたり、さらには、半田ブリッジが頻繁に生じたりする場合があるためである。

したがって、パッドの面積を０．０３～０．３mm^2の範囲内の値とすることがより好ましく、０．０５～０．１mm^2の範囲内の値とすることがさらに好ま

しい。

【００３１】

（３）パッドの平面形状

また、図６に示すように、パッドの平面形状を円形または正方形とすることが好ましい。この理由は、このような平面形状とすることにより、再現性良く形成できるとともに、全面を効率的に利用することができるためである。

ただし、パッドの平面形状を非円形または非正方形とすることも好ましい。例えば、図７（ａ）に示すように楕円、図７（ｂ）に示すようにひし形、図７（ｃ）に示すように変形長方形（Ｈ型）、図７（ｄ）に示すように俵型、図８（ａ）に示すように半楕円（楕円の半分）、図８（ｂ）に示すように半菱形（菱形の半分）、図８（ｃ）に示すように半俵型（俵形の半分）、図９（ａ）に示すように半円（円形の半分）、または図９（ｂ）に示すように半多角形（多角形の半分）、あるいは、１／３円、２／３円、１／５円、２／５円、３／５円、４／５円等のうち少なくとも一つとすることが好ましい。

この理由は、このような平面形状を有する変形パッドとすることにより、配線の引き回しを阻害する割合が少なくなるとともに、半田材料を塗布する際の位置ずれのマージンを広く確保することができ、回路基板の生産効率を向上させることができるためである。また、このような平面形状のパッドであれば、再現性良く形成することもできるためである。

【００３２】

２．バンプ付き半導体素子

（１）種類

本発明におけるバンプ付き半導体素子の種類は特に制限されるものではないが、配線のファインピッチ化や多ピン化に容易に対応できるように、例えば、図１０～図１２に示すようなＢＧＡ６０、７０、８０や、図１３に示すようなウェファレベルチップサイズパッケージ（ＷＣＳＰ）９０を使用することが好ましい。

ここで、図１０に示すＢＧＡ６０は、ベアチップ６１と、ワイヤーボンディング６８によってベアチップ６１を搭載するためのインターポーザー６３と、インターポーザー６３の裏面に、ピッチが０．６～２．５４ｍｍ程度のエリアアレイ

状に配置されたバンプ（半田ボール）６５と、から構成されたバンプ付き半導体素子である。

【００３３】

また、図１１は、ベアチップ６１のボンディングパッド７５上に、あらかじめバンプ７１を形成し、基板６３上のインナーリード（図示せず）に対して、熱による半田リフローや、加圧した状態で超音波振動を用いて接続する、いわゆるフリップチップ方式によって得られるＢＧＡ７０を示している。

また、図１２は、ベアチップ６１上またはテープ上のインナーリードにバンプを形成しておき、お互いをインナーリード・ボンディングによって接続する、いわゆるＴＡＢ(Tape Automated Bonding)方式によって得られるＢＧＡ８０を示している。

【００３４】

一方、ＷＣＳＰは、図１３に示すように、インターポーザーを介することなく、ウェファ段階で、配線１０３と、電気絶縁膜９７、１０７と、ピッチが０．１～１．０mm程度のエリアアレイ状に配置されたバンプ（半田ボール）９３とを形成したＣＳＰである。特に、薄型、軽量であって、コンパクトな実装構造を所望の場合に最適なバンプ付き半導体素子である。

【００３５】

（２）バンプ

また、バンプ付き半導体素子に設けてあるバンプの形態は、特に制限されるものでないが、例えば、図１４（ａ）に示すように、バンプ１１３の先端部を平坦とすることが好ましい。

この理由は、ＢＧＡを基板のパッド上に位置合わせして搭載した場合に、パッドの周囲に均一に流動させて、ＢＧＡのバンプと、パッドとを強固に固定することができるためである。

【００３６】

また、バンプの形態に関して、図１４（ｂ）に示すように、バンプ１１３の先端部の表面に窪みを設けることが好ましい。

この理由は、このように構成することにより、半導体素子のバンプと、パッド

との間に、窪みを介して確実に半田材料が存在して、これらの部材を強固に固定することができるためである。

【００３７】

（３）半田材料

バンプに付着させる半田材料の種類としては、特に制限されるものではないが、例えば、ＳｎやＰｂ／Ｓｎ等からなる従来から汎用されている半田や、ロジンや松脂等のフラックス材料を使用することができるが、Ｐｂを含まないＣｕ／Ｓｎ／Ａｇからなる半田と、フラックス材料との組み合わせを使用することがより好ましい。

【００３８】

［第２の実施形態］

第２の実施形態は、図１５に例示するように、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を優先的に引き出してある回路基板に対して、パッド上に塗布した半田材料を介して、バンプ付き半導体素子を実装することを特徴とするバンプ付き半導体素子の実装構造である。

以下、第１の実施形態と同様の箇所は適宜省略するものとし、第２の実施形態において特徴的な箇所を中心に説明する。

【００３９】

１．構成

（１）基本構成

第２の実施形態におけるバンプ付き半導体素子の実装構造３６０は、図１５に示すように、基本的に、バンプ付き半導体素子６３と、回路基板３６１と、半田材料３６５と、から構成することができ、バンプ付き半導体素子６３、回路基板３６１、および半田材料３６５については、第１の実施形態と同様の内容とすることができるため、ここでの説明は省略する。

【００４０】

（２）アンダーフィル

一方、第２の実施形態においては、図１５に示すように、バンプ付き半導体素

子（ＢＧＡ）と、回路基板３６１との間に、以下の特性を有するアンダーフィル６４が充填されていることが好ましい。

１）体積抵抗が１×１０^{6}～１×１０^{20}Ω・ｃｍの範囲内の値である。

２）引張強さが１～２００ＭＰａの範囲内の値である。

３）破断伸びが１０～５００％の範囲内の値である。

以下、好ましいアンダーフィルの種類や特性等について、詳細に説明する。

【００４１】

①種類

アンダーフィルの種類に関して、熱硬化性樹脂および光硬化性樹脂、あるいはいずれか一方の硬化性樹脂であることが好ましい。

この理由は、このような硬化性樹脂を使用することにより、機械的特性や耐湿性に関するアンダーフィルとしての基本特性を満足しやすくなるためである。

また、熱硬化性樹脂としては、例えば、エポキシ樹脂やシリコーン樹脂を用いることが好ましく、光硬化性樹脂としては、例えば、エポキシ樹脂、アクリル樹脂、およびシリコーン樹脂を用いることが好ましい。

また、アンダーフィルに遮光性を持たせたい場合には、これらの硬化性樹脂中に、遮光物質、例えば、カーボン粒子、カーボン繊維、顔料等を添加したり、紫外線吸収剤や蛍光増白剤を添加したりすることが好ましい。

このような化合物を添加することにより、外部から光が侵入した場合に効果的に吸収したり、あるいは外部から侵入した光の波長を、光誤動作が生じないような波長の光に変換したりすることができるためである。

【００４２】

②体積抵抗

また、アンダーフィルの体積抵抗を１×１０^{6}～１×１０^{20}Ω・ｃｍの範囲内の値とすることが好ましい。

この理由は、かかるアンダーフィルの体積抵抗が１×１０^{6}Ω・ｃｍ未満の値になると、隣接するバンプ間の電気絶縁性が不十分となる場合があるためであり、一方、かかるアンダーフィルの体積抵抗が１×１０^{20}Ω・ｃｍを超えると、使用可能な材料の選択の幅が著しく制限される場合があるためである。

したがって、アンダーフィルの体積抵抗を1×10^{8}～$1\times10^{18}\Omega\cdot cm$の範囲内の値とすることがより好ましく、$1\times10^{10}$～$1\times10^{16}\Omega\cdot cm$の範囲内の値とすることがさらに好ましい。

【００４３】

③引張強さ

また、アンダーフィルの引張強さを１～２００ＭＰａの範囲内の値とすることが好ましい。

この理由は、かかるアンダーフィルの引張強さが１ＭＰａ未満の値になると、機械的強度が低下し、バンプ付き半導体素子の実装構造における抵抗安定性や耐熱性が低下する場合があるためである。一方、かかるアンダーフィルの引張強さが２００ＭＰａを超えると、使用可能な材料の選択の幅が著しく制限されたり、応力歪みが過度に発生して、バンプ付き半導体素子の実装構造における抵抗安定性が低下したりする場合があるためである。

したがって、アンダーフィルの引張強さを５～１００ＭＰａの範囲内の値とすることがより好ましく、１０～５０ＭＰａの範囲内の値とすることがさらに好ましい。

【００４４】

④破断伸び

また、アンダーフィルの破断伸びを１０～５００％の範囲内の値とすることが好ましい。

この理由は、かかるアンダーフィルの破断伸びが１０％未満の値になると、柔軟性が低下し、バンプ付き半導体素子の実装構造における抵抗安定性や耐熱性が低下する場合があるためである。一方、かかるアンダーフィルの破断伸びが５００％を超えると、使用可能な材料の選択の幅が著しく制限されたり、機械的強度が低下したりする場合があるためである。

したがって、アンダーフィルの破断伸びを３０～３００％の範囲内の値とすることがより好ましく、５０～２００％の範囲内の値とすることがさらに好ましい。

【００４５】

２．実装方法

（１）第１の実装方法

第１の実装方法として、下記工程（Ａ）および（Ｂ）に準じて、図１７に示すように、回路基板３６１に対して、バンプ付き半導体素子６３を実装することが好ましい。

（Ａ）半田材料３６５を、回路基板３６１におけるパッド３６３上に塗布する工程

（Ｂ）バンプ付き半導体素子６３を、リフロー処理によって、半田材料３６５が塗布されたパッド３６３上に実装する工程

このように実施することにより、半田材料を、従来の塗布装置、例えば、シルクスクリーン印刷装置を用いて塗布することができるとともに、従来のリフロー装置を用いて、バンプ付き半導体素子を、回路基板に対して、実装することができる。

なお、バンプ付き半導体素子を基板上のパッドに対して位置合わせした後、リフロー処理を実施することが好ましい。その場合、バンプ付き半導体素子に位置合わせマークを予め設けておき、それを目印にバンプ付き半導体素子を基板上に、位置合わせすることが好ましい。

【００４６】

（２）第２の実装方法

第２の実装方法として、下記工程（Ａ´）および（Ｂ）に準じて、図１８に示すように、パッド１７を備えた回路基板１９に対して、バンプ付き半導体素子１１を実装することが好ましい。

（Ａ´）半田材料１５を、バンプ付き半導体素子１１におけるバンプ１３上に塗布する工程

（Ｂ）半田材料１５が塗布されたバンプ付き半導体素子１１を、リフロー処理によって、パッド１１７上に実装する工程

このように実施することにより、半田材料をパッド上に塗布する際の位置決め工程を省略できるとともに、ＦＰＣ等の比較的変形しやすい基板に対しても、微細なバンプ付き半導体素子を精度よくリフロー実装することができる。すなわち

、バンプ付き半導体素子、特にＢＧＡやＣＳＰ等の微細なバンプ付き半導体素子を、基板、特にＦＰＣに対しても、迅速かつ安価にリフロー実装することができ、しかも、実装不良の発生が少ないバンプ付き半導体素子の実装方法を提供することができる。

【００４７】

（３）第３の実装方法

第３の実装方法として、下記工程（Ａ´´）、（Ａ´´´）および（Ｂ´）に準じて、図１９に示すように、回路基板１９に対して、バンプ付き半導体素子１１を実装することが好ましい。

（Ａ´´）半田材料の一部２１を、回路基板１９におけるパッド１７上に塗布する工程

（Ａ´´´）半田材料の別の一部１５を、バンプ付き半導体素子１１におけるバンプ１３上に塗布する工程

（Ｂ´）半田材料１５が一部塗布されたバンプ付き半導体素子１１を、リフロー処理によって、半田材料２１が一部塗布されたパッド１７上に実装する工程

このように実施することにより、微細なバンプ付き半導体素子を基板、特にＦＰＣに対しても、精度よくリフロー実装することができ、しかも、強固に実装できるバンプ付き半導体素子の実装方法を提供することができる。

【００４８】

（４）リフロー処理条件

また、第１～第３の実装方法を実施するにあたり、リフロー処理条件としては特に制限されるものではないが、例えば、赤外線や加熱不活性ガスを用いて、ピーク温度が２００～３００℃であるとともに、５秒～１０分の条件で加熱することが好ましい。

なお、リフロー処理中に、半田材料が酸化しないように、不活性状態でリフロー処理を実施することが好ましい。

【００４９】

（５）他の素子との同時実装

また、第１～第３の実装方法を実施するにあたり、図２０に示すように、コン

デンサを含む他の電気素子３９とともに、バンプ付き半導体素子１１を回路基板１９に対して、同時に実装することが好ましい。

この理由は、コンデンサを含む他の電気素子とともに、バンプ付き半導体素子を同時に実装することにより、リフロー処理以外のＡＣＦ等による実装工程を削減することができるためである。したがって、バンプ付き半導体素子の実装工程を、全体として、簡素化および迅速化することができる。

なお、通常、バンプ付き半導体素子以外の素子、例えば、コンデンサや抵抗素子は、リフロー処理によって実装されているが、バンプ付き半導体素子は、ＡＣＦ等によって実装されていたため、別個の実装方法によって実装しなければならないという問題が見られた。

【００５０】

［第３の実施形態］

第３の実施形態は、駆動素子または電源素子として、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を優先的に引き出した回路基板上に実装されたバンプ付き半導体素子を含むことを特徴とする電気光学装置である。

以下、図２１に示す電気光学装置を構成する液晶パネルを例に採って説明する。

【００５１】

まず、図２２を参照して、図２１に示す液晶パネル２００の概略構造について説明する。図２２は、図２１に示す液晶パネル２００における半導体ＩＣおよびフレキシブル配線基板の実装前の状態を模式的に図示するものであり、図面上、寸法は図示の都合上適宜に調整し、構成要素も適宜に省略してある。

【００５２】

また、液晶パネル２００は、第１の基板２１１上に、反射層２１２、複数の着色層２１４、表面保護層２１５の積層構造の上に透明電極２１６が形成されたカラーフィルタ基板２１０と、これに対向する対向基板２２０とがシール材２３０にて貼り合わされ、内部に液晶材料２３２が配置されたものである。この透明電

極２１６は上述したように配線２１８Ａに接続され、この配線２１８Ａがシール材２３０と第１の基板２１１との間を通過して基板張出部２１０Ｔの表面上に引き出されている。また、基板張出部２１０Ｔ上には入力端子部２１９もまた形成されている。

【００５３】

そして、基板張出部２１０Ｔは、駆動素子または電源素子として、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドの配線を優先的に引き出したことを特徴としている。

したがって、基板張出部２１０Ｔ上のパッドに対して精度良く、かつ広いマージンにより半田材料を塗布することができ、ＢＧＡ等の微細なバンプ付き半導体素子を実装する場合であっても、塗布位置の相違に起因した半導体素子の位置ずれが少ない基板張出部２１０Ｔを提供することができる

よって、バンプ付き半導体素子による液晶駆動が安定するとともに、液晶パネルにおいて、優れた耐久性等を得ることができる。

【００５４】

[第４実施形態]

本発明の電気光学装置を、電子機器における表示装置として用いた場合の実施形態について具体的に説明する。

【００５５】

（１）電子機器の概要

図２３は、本実施形態の電子機器の全体構成を示す概略構成図である。この電子機器は、液晶パネル１８０と、これを制御するための制御手段１９０とを有している。また、図２３中では、液晶パネル１８０を、パネル構造体１８０Ａと、半導体ＩＣ等で構成される駆動回路１８０Ｂと、に概念的に分けて描いてある。また、制御手段１９０は、表示情報出力源１９１と、表示処理回路１９２と、電源回路１９３と、タイミングジェネレータ１９４とを有することが好ましい。

また、表示情報出力源１９１は、ＲＯＭ（Read Only Memory）やＲＡＭ（Random Access Memory）等からなるメモリと、磁気記録ディスクや光記録ディスク等

からなるストレージユニットと、デジタル画像信号を同調出力する同調回路とを備え、タイミングジェネレータ１９４によって生成された各種のクロック信号に基づいて、所定フォーマットの画像信号等の形で表示情報を表示情報処理回路１９２に供給するように構成されていることが好ましい。

【００５６】

また、表示情報処理回路１９２は、シリアルーパラレル変換回路、増幅・反転回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種回路を備え、入力した表示情報の処理を実行して、その画像情報をクロック信号ＣＬＫと共に駆動回路１８０Ｂへ供給することが好ましい。そして、駆動回路１８０Ｂは、走査線駆動回路、データ線駆動回路および検査回路を含むことが好ましい。また、電源回路１９３は、上述の各構成要素にそれぞれ所定の電圧を供給する機能を有している。

【００５７】

（２）具体例

本発明に係る電気光学装置としての液晶表示装置、有機エレクトロルミネッセンス装置、無機エレクトロルミネッセンス装置等や、プラズマディスプレイ装置、ＦＥＤ(フィールドエミッションディスプレイ)装置、ＬＥＤ（発光ダイオード）表示装置、電気泳動表示装置、薄型のブラウン管、液晶シャッター、デジタルマイクロミラーデバイス(ＤＭＤ)を用いた装置等を適用することが可能な電子機器としては、パーソナルコンピュータや、携帯電話機のほかにも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、ＰＯＳ端末、タッチパネルを備えた電子機器などが挙げられる。

【００５８】

さらに、本発明の電気光学装置および電子機器は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。例えば、上記各実施形態に示す液晶パネルは単純マトリクス型の構造を備えているが、ＴＦＴ（薄膜トランジスタ）やＴＦＤ（薄膜ダイオード）等のアクティブ素子（能動素子）を用いたアクティブマトリクス方式の電

気光学装置にも適用することができる。

【００５９】

【発明の効果】

以上説明したように、本発明の回路基板によれば、複数のパッドの縦方向のピッチと横方向のピッチとが異なる領域を有し、縦方向または横方向のいずれかピッチが広い側から、当該パッドからの配線を優先的に引き出してあることにより、回路基板上のパッドに対して精度良く、かつ広いマージンにより半田材料を塗布することができ、ＢＧＡ等の微細なバンプ付き半導体素子を実装する場合であっても、実装位置がずれることが少ない回路基板を提供できるようになった。

【００６０】

また、本発明のバンプ付き半導体素子の実装構造によれば、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドからの配線を優先的に引き出してあることにより、ＢＧＡ等の微細なバンプ付き半導体素子を実装する場合であっても、実装位置がずれることが少ないバンプ付き半導体素子の実装構造を提供できるようになった。

【００６１】

さらに、本発明の電気光学装置およびそれを含む電子機器によれば、縦方向のパッドのピッチと、横方向のパッドのピッチとを異ならせた領域を設けるとともに、縦方向または横方向のいずれかピッチが広い側から、当該パッドからの配線を優先的に引き出してある回路基板を使用していることにより、半田不良等が少ないばかりか、生産効率に優れた電気光学装置およびそれを含む電子機器を提供できるようになった。

【図面の簡単な説明】

【図１】　第１の実施形態の回路基板を説明するために供する図である。

【図２】　隣接するパッド間の距離を説明するために供する図である。

【図３】　パッドの縦横比を説明するために供する図である。

【図４】　隣接するパッド間の距離が異なる領域を説明するために供する図である（その１）。

【図５】　隣接するパッド間の距離が異なる領域を説明するために供する図である（その２）。

【図６】　パッドの平面形状を示す図である。

【図７】　（ａ）～（ｄ）は、それぞれ変形パッドの平面形状を示す図である。

【図８】　（ａ）～（ｃ）は、それぞれ変形パッドの平面形状を示す図である。

【図９】　（ａ）～（ｂ）は、それぞれ変形パッドの別の平面形状を示す図である。

【図１０】　ＢＧＡの構成を説明するために供する断面図である（その１）。

【図１１】　別なＢＧＡの構成を説明するために供する断面図である（その２）。

【図１２】　別なＢＧＡの構成を説明するために供する断面図である（その３）。

【図１３】　ＷＣＳＰの構成を説明するために供する断面図である。

【図１４】　（ａ）～（ｂ）は、バンプ付き半導体素子におけるバンプの変形例を説明するために供する図である。

【図１５】　第２の実施形態のバンプ付き半導体素子の実装構造を説明するために供する図である。

【図１６】　アンダーフィルを説明するために供する図である。

【図１７】　（ａ）～（ｂ）は、ソルダーレジストを備えた回路基板に対して、バンプ付き半導体素子を実装する方法を説明するために供する工程図である（その１）。

【図１８】　（ａ）～（ｂ）は、ソルダーレジストを備えた回路基板に対して、バンプ付き半導体素子を実装する別な方法を説明するために供する工程図である（その２）。

【図１９】　（ａ）～（ｂ）は、ソルダーレジストを備えた回路基板に対して、バンプ付き半導体素子を実装する別な方法を説明するために供する工程図で

ある（その３）。

【図２０】　バンプ付き半導体素子を他の電気素子とともに回路基板に対して同時実装する方法を説明するために供する図である。

【図２１】　本発明に係る第３実施形態の液晶パネルの外観を示す概略斜視図である。

【図２２】　第３実施形態のパネル構造を模式的に示す概略断面図である。

【図２３】　本発明に係る電子機器の実施形態のブロック構成を示す概略構成図である。

【図２４】　従来の回路基板を説明するために供する図である。

【図２５】　従来のＢＧＡの実装方法を説明するために供するフロー図である。

【図２６】　異方性導電膜（ＡＣＦ）を利用したバンプ付き半導体素子の実装方法を説明するために供する図である。

【符号の説明】

１１　バンプ付き半導体素子（ＢＧＡやＣＳＰ）

１２　治具

１３　バンプ

１５　半田材料

１７　パッド

１９　基板（ＦＰＣ）

３９　バンプ付き半導体素子以外の電気素子

６０・７０・８０　ＢＧＡ

６４　アンダーフィル

９０　ＷＣＳＰ

１１０・１３０　バンプ付き半導体素子（ＢＧＡやＣＳＰ）

１１３　バンプ

１４０　ＦＰＣ

２００　液晶パネル

２１１　第１の基板

２２１　第２の基板

２２２　透明電極

２２７　バンプ付き半導体素子

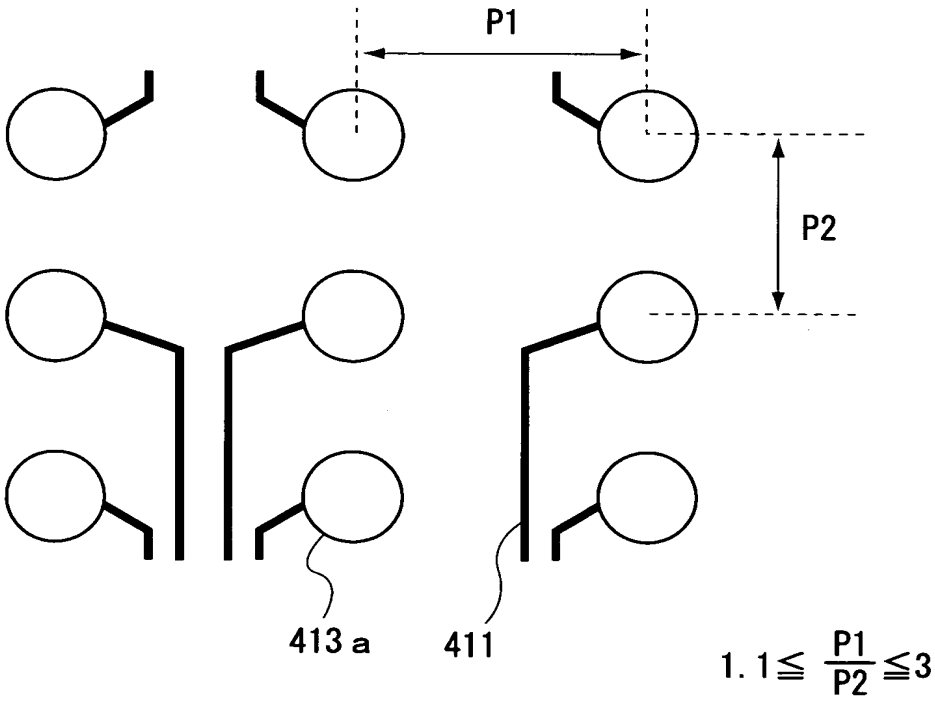
３６０・３７０　実装構造

４１１　配線

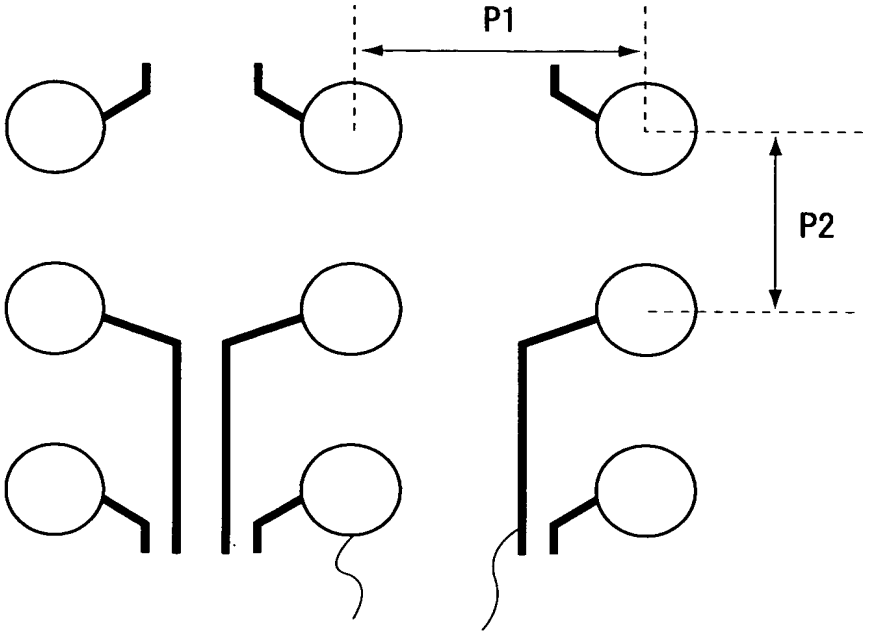
４１３　パッド

【書類名】　図面

【図１】



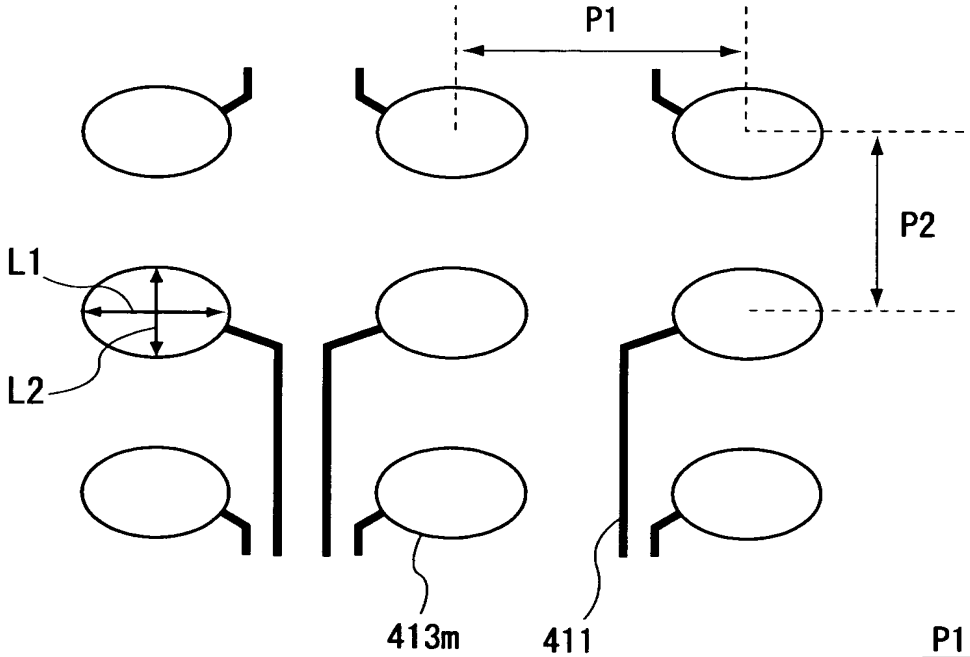
【図２】



$0.6 \leqq P1 \leqq 2.0mm$

$P2 \leqq 0.6mm$

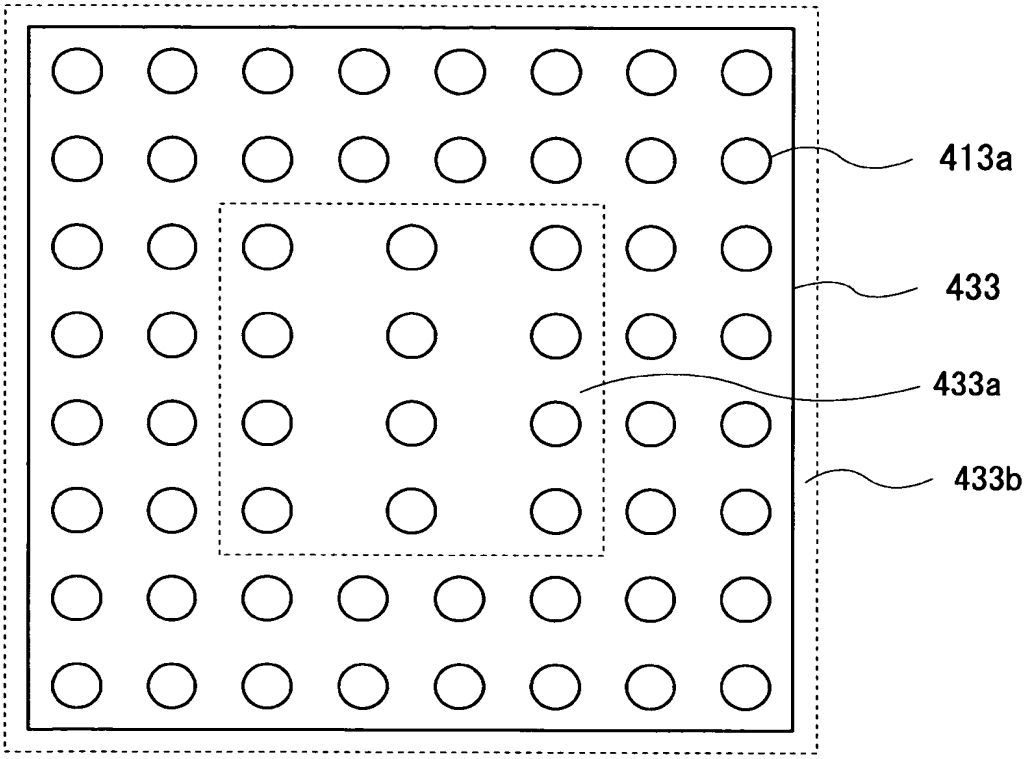
【図３】



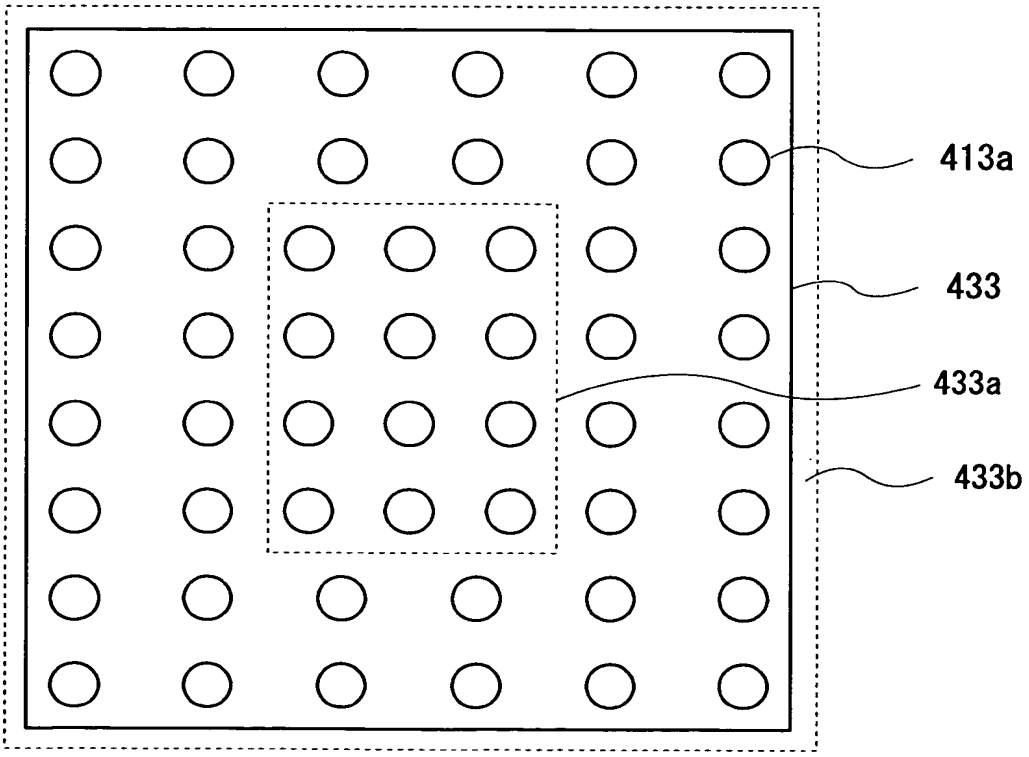
$$\frac{P1}{P2} = \frac{L1}{L2}$$

【図４】

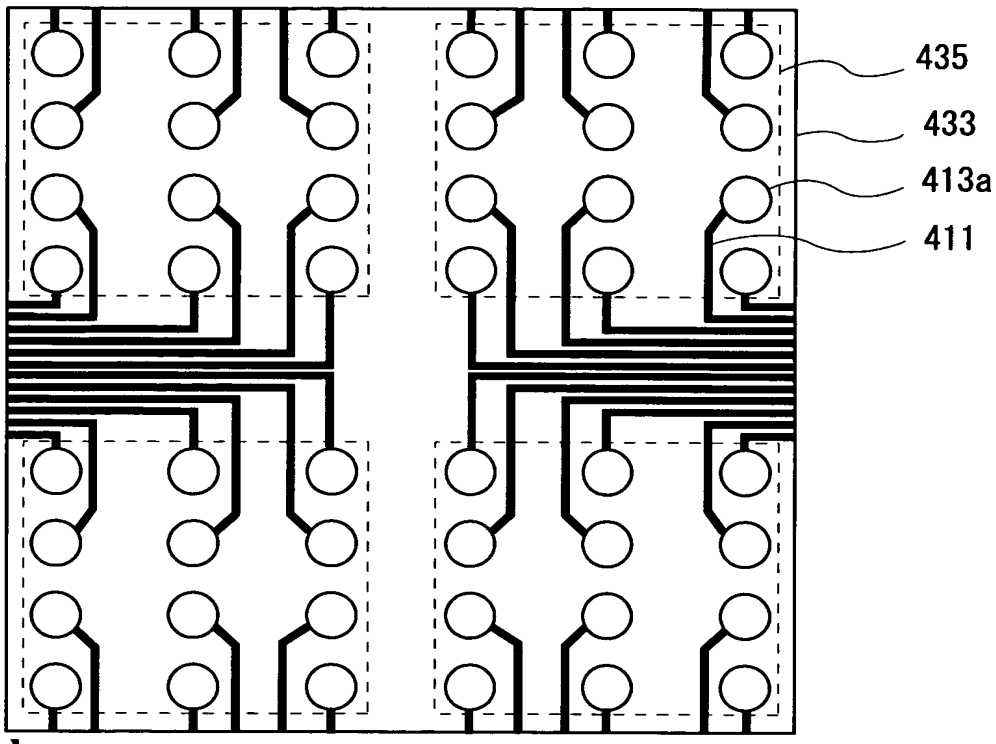
（ａ）



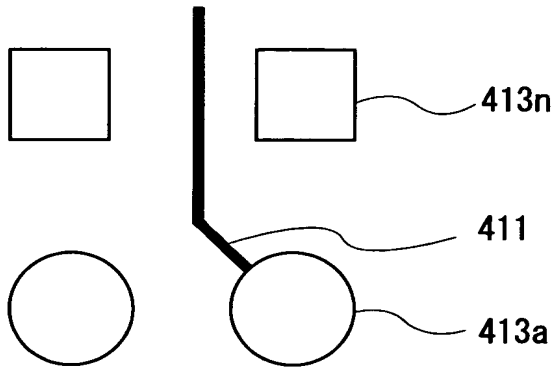
（ｂ）



【図５】

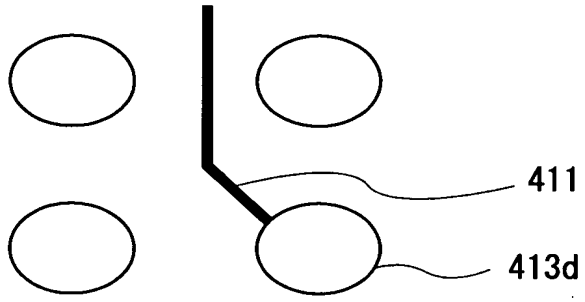


【図６】

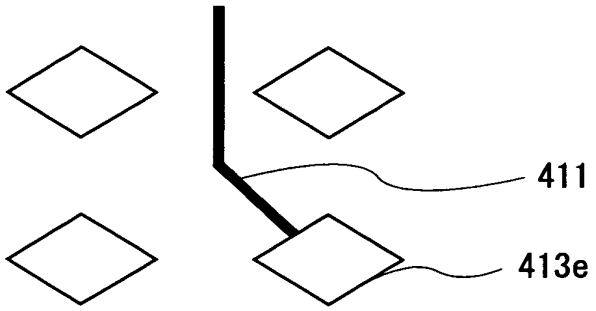


【図７】

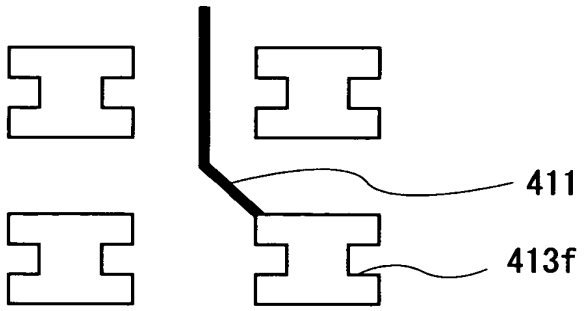
（ａ）



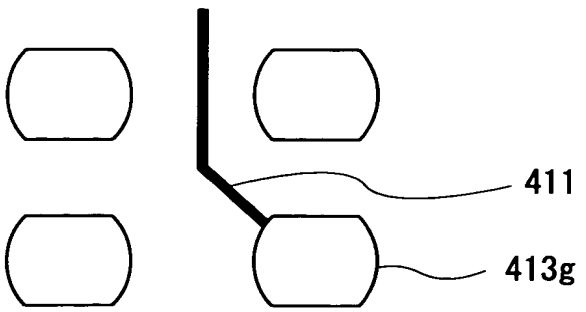
（ｂ）



（ｃ）

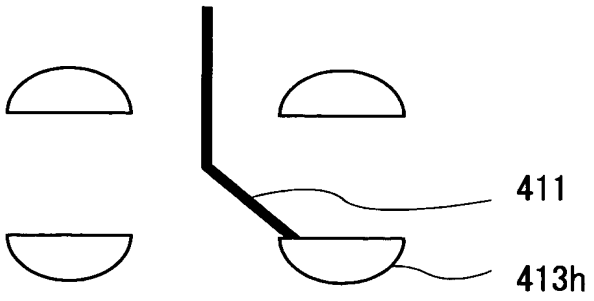


（ｄ）

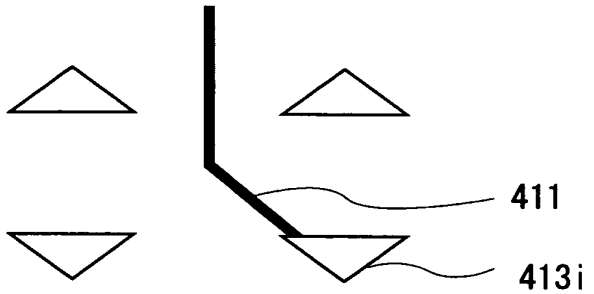


【図８】

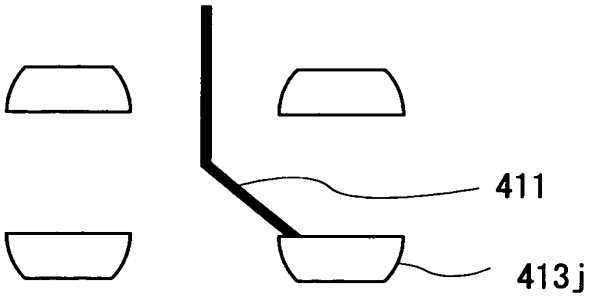
（ａ）



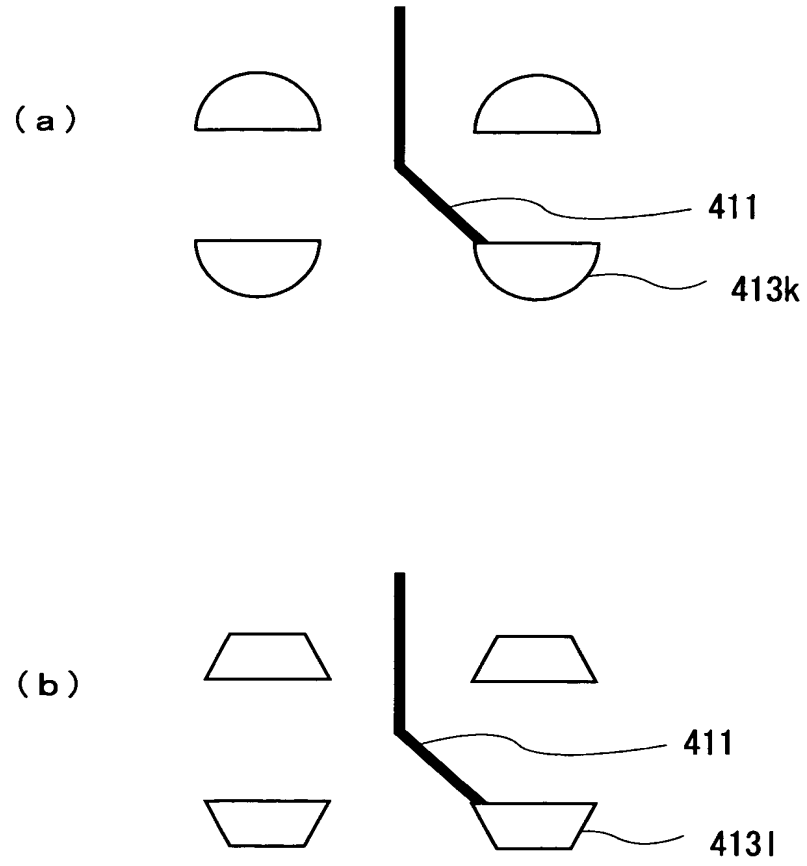
（ｂ）



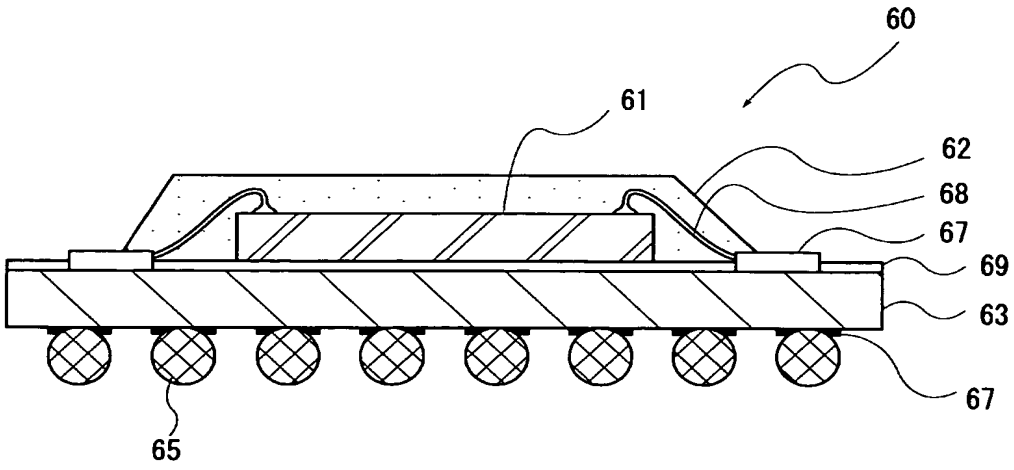
（ｃ）



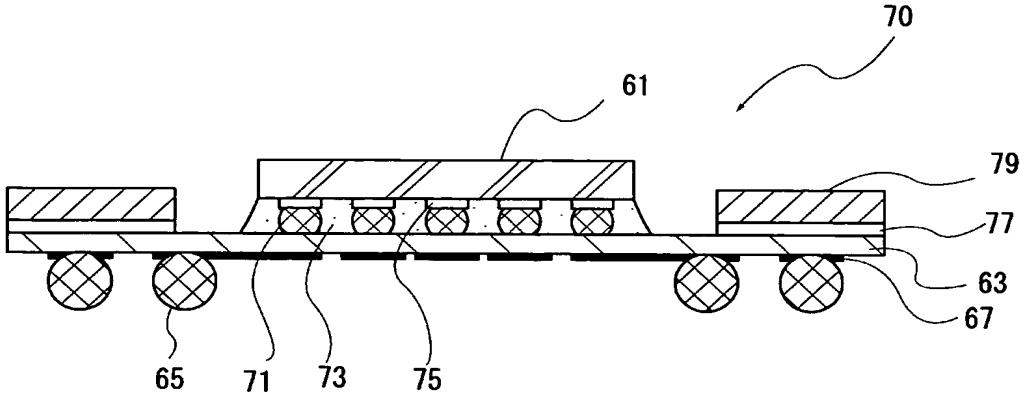
【図９】



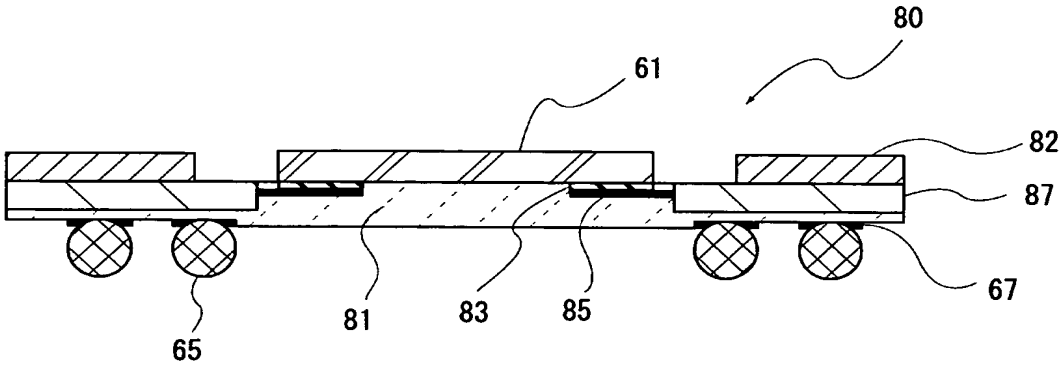
【図１０】



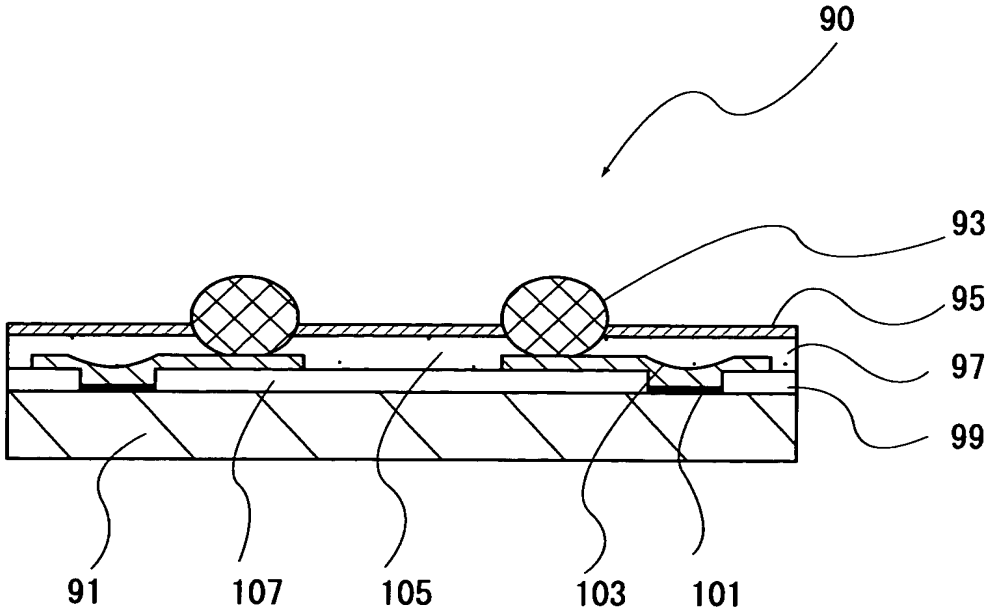
【図１１】


70
61
79
77
63
67
65
71
73
75

【図１２】

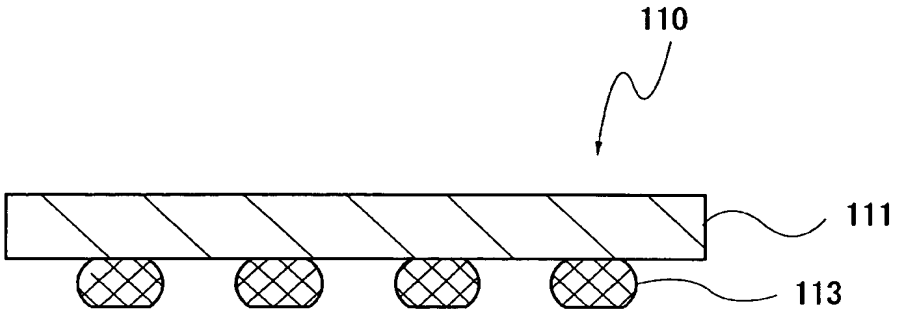

80
61
82
87
67
65
81
83
85

【図１３】

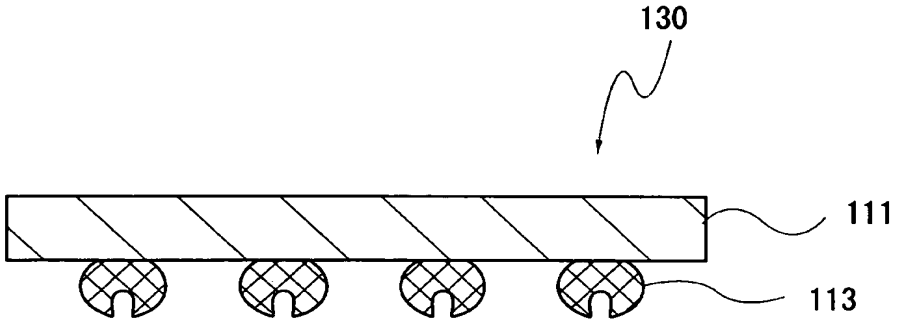

90
93
95
97
99
91
107
105
103
101

【図１４】

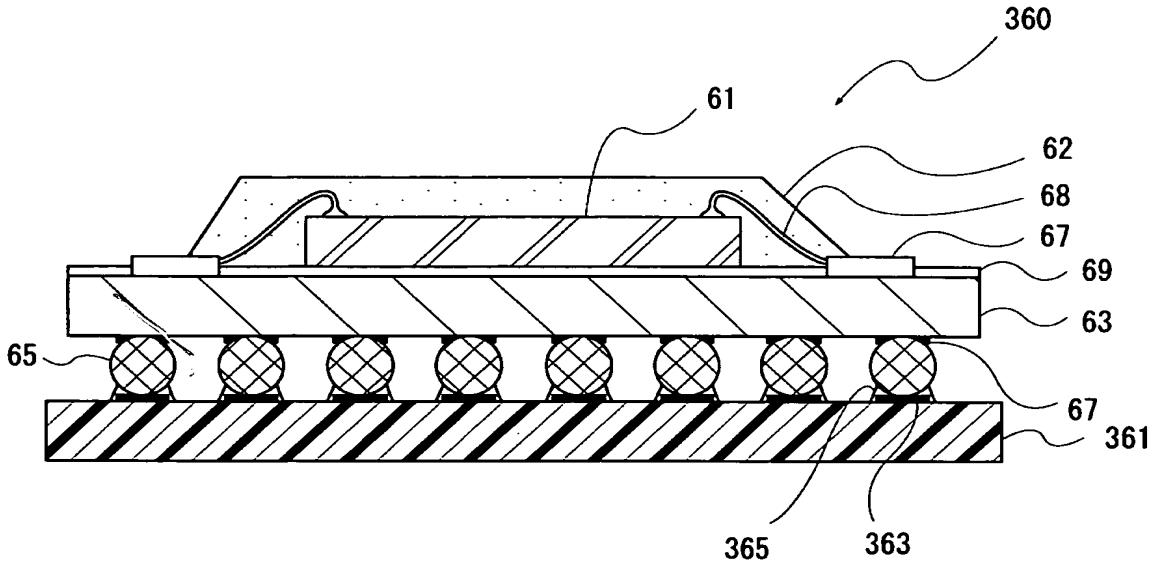
（ａ）



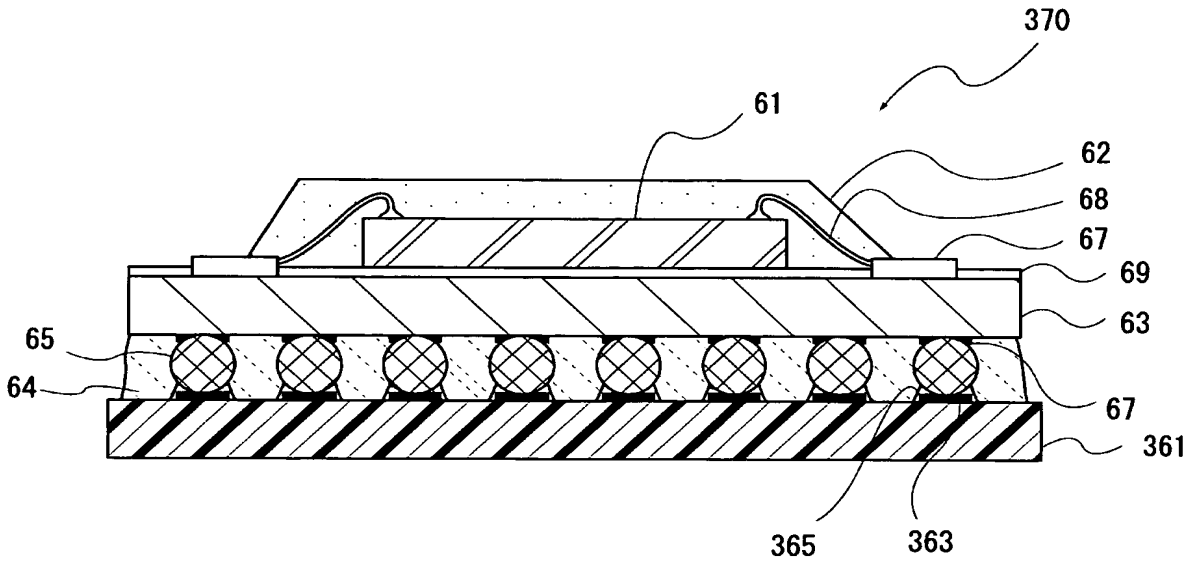
（ｂ）



【図１５】

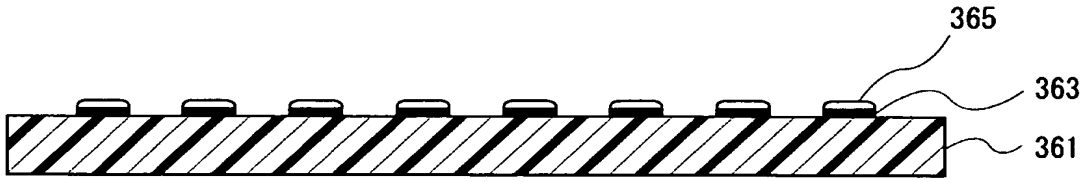


【図１６】

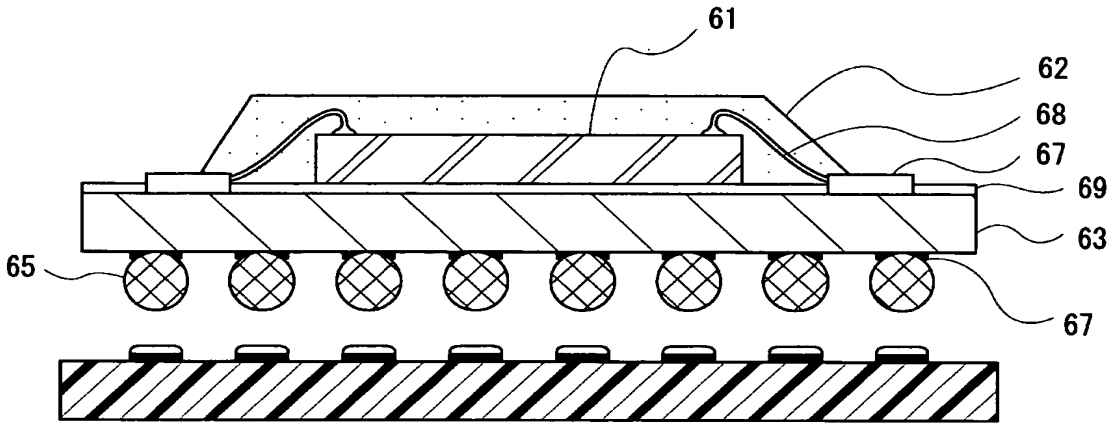


【図１７】

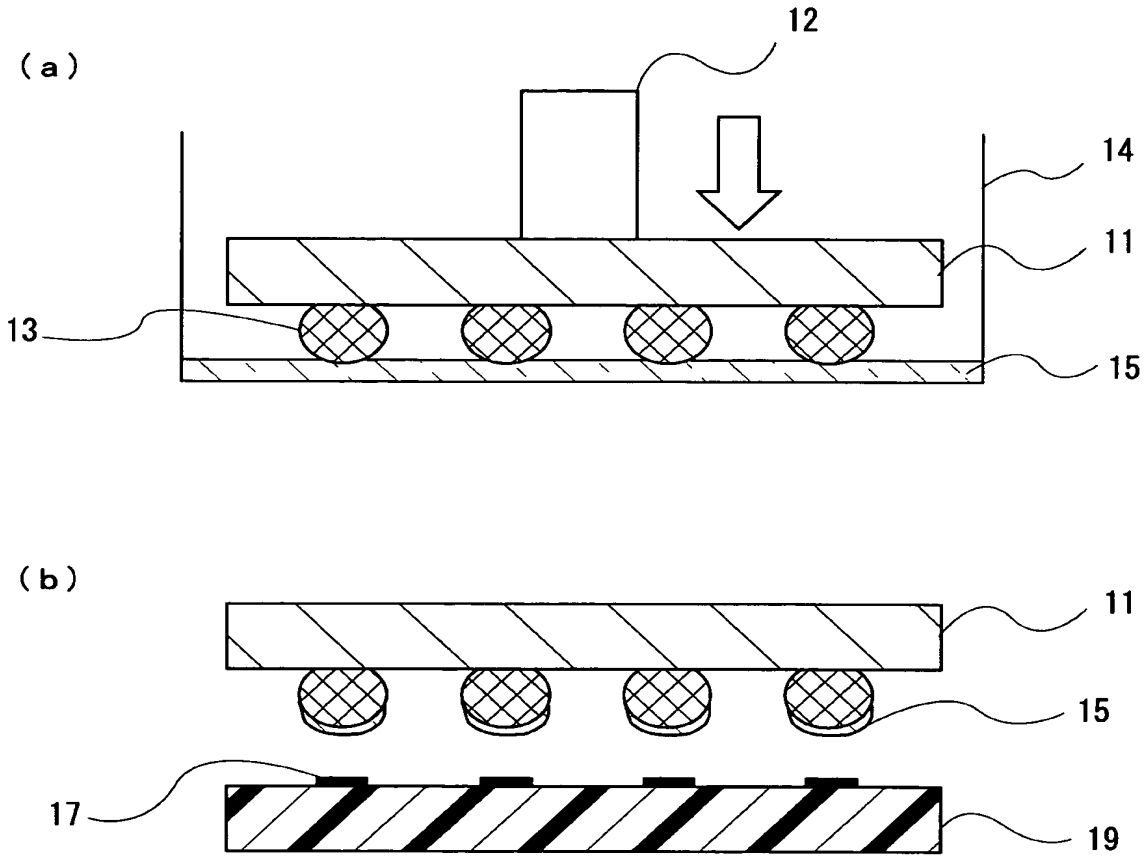
（ａ）



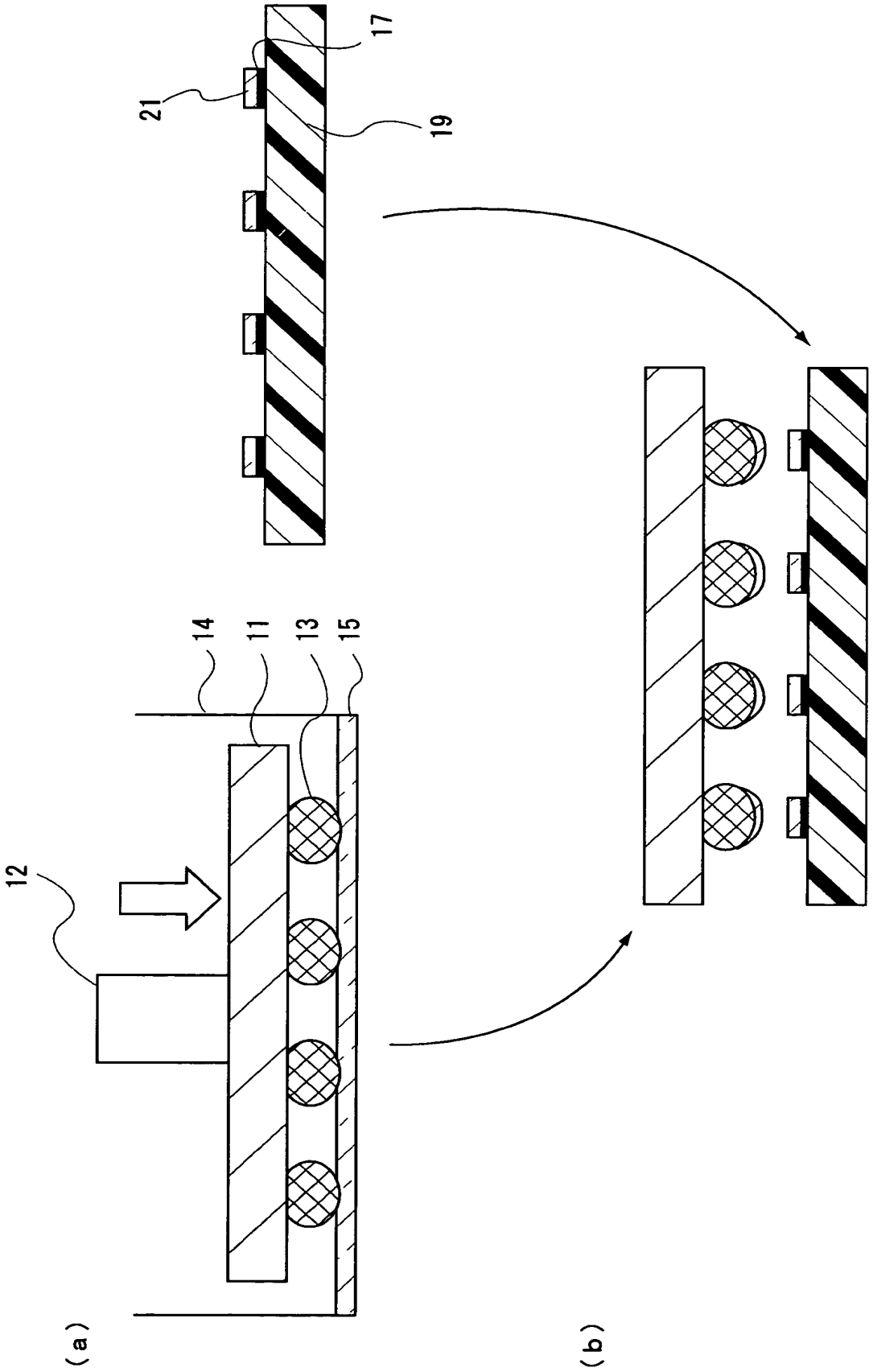
（ｂ）



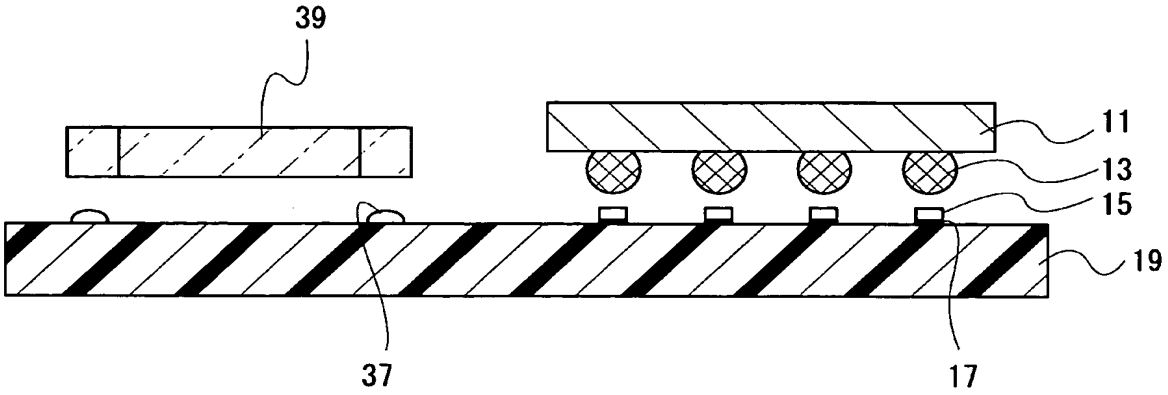
【図１８】



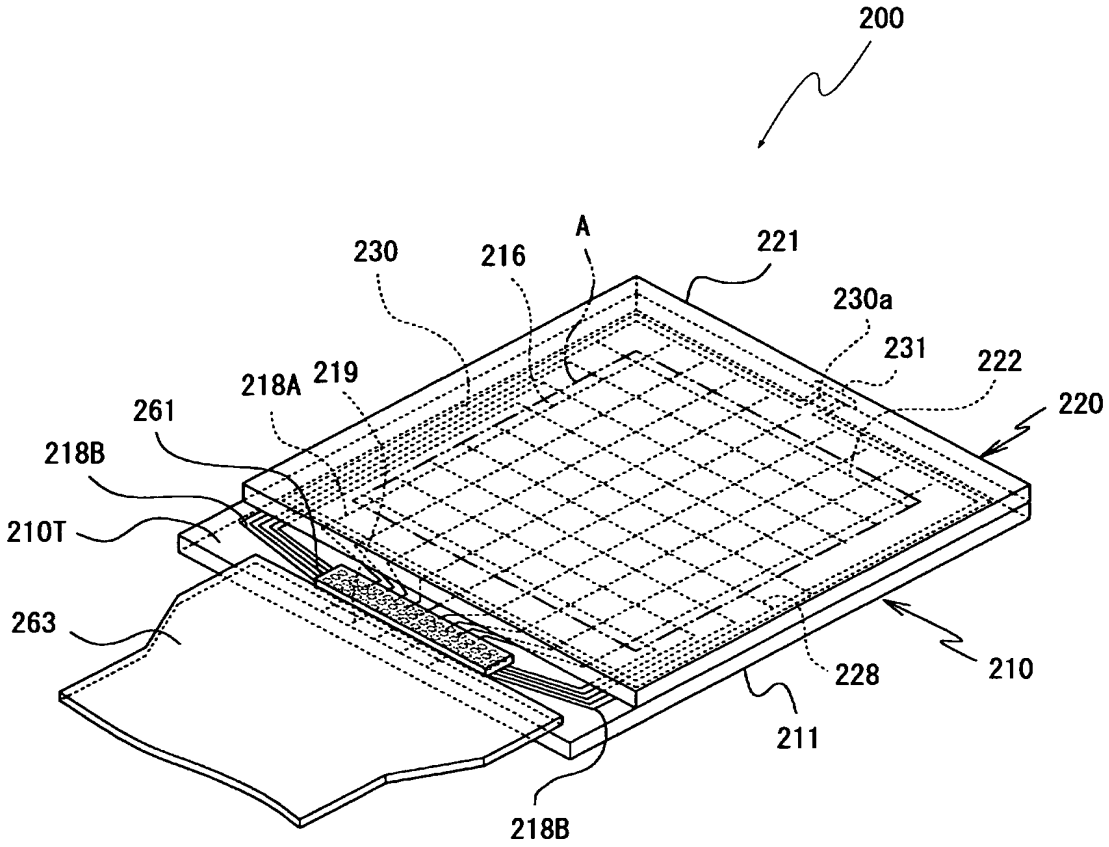
【図１９】


17
21
19
14
11
13
15
12
(a)
(b)

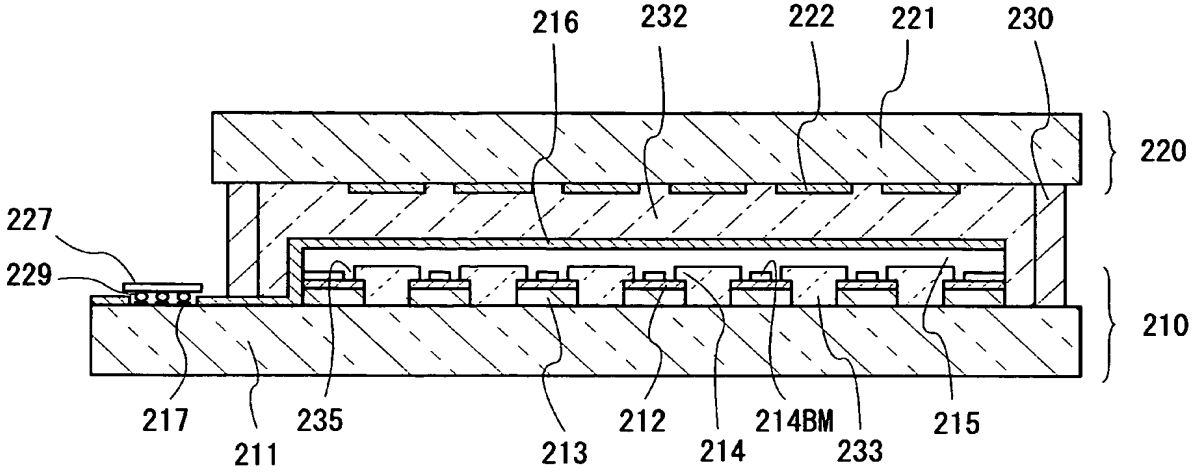
【図２０】


39
11
13
15
19
37
17

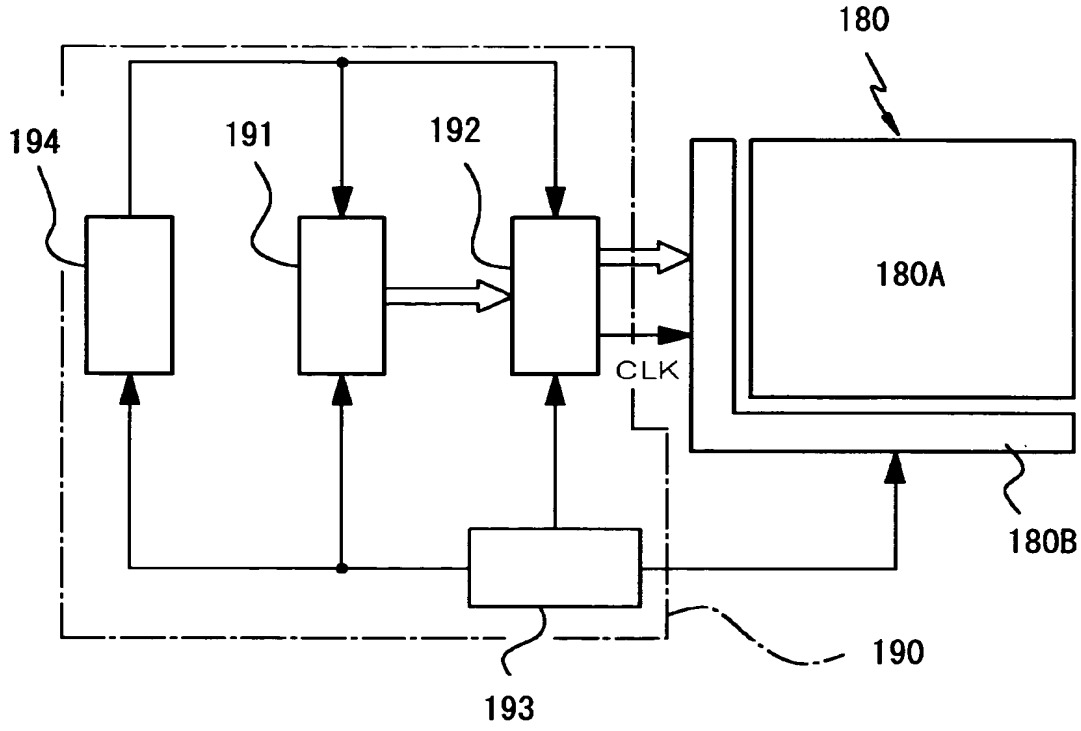
【図２１】


200
A
230
216
221
230a
231
222
220
219
218A
261
218B
210T
263
228
210
211
218B

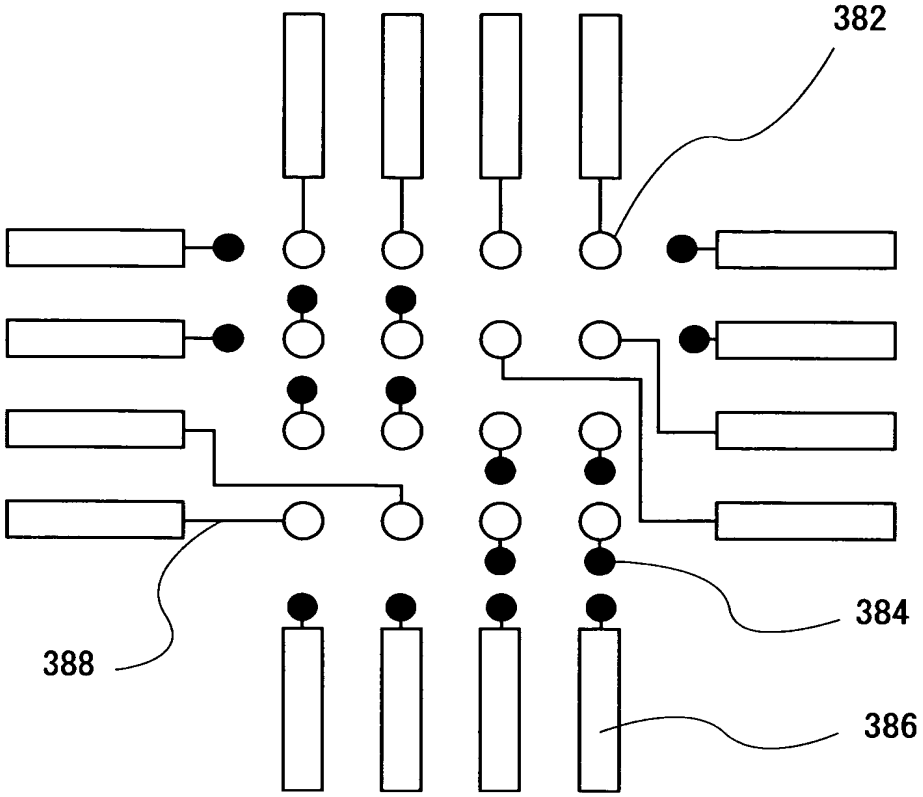
【図２２】


216
232
222
221
230
220
227
229
210
217
211
235
213
212
214
214BM
233
215

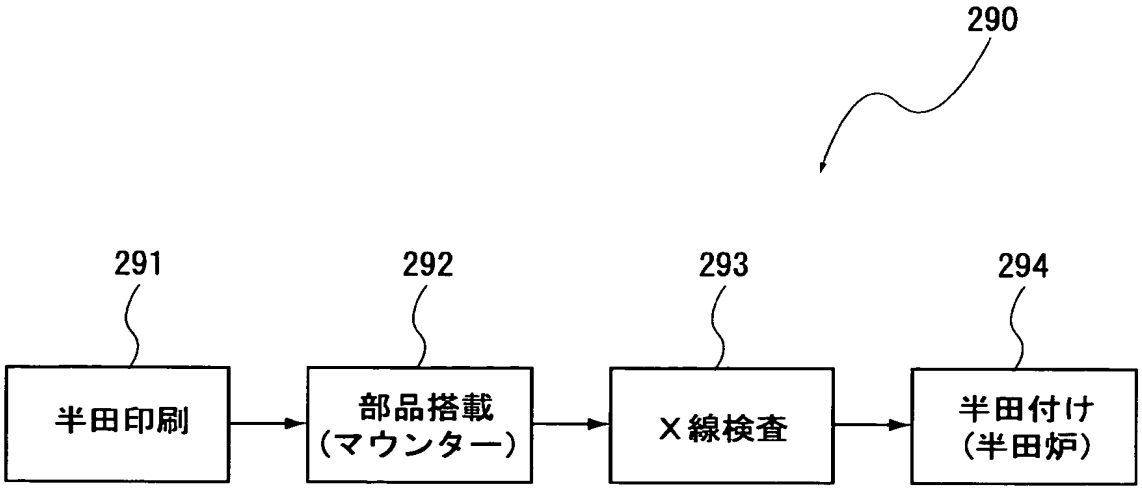
【図２３】


180
194
191
192
180A
CLK
180B
190
193

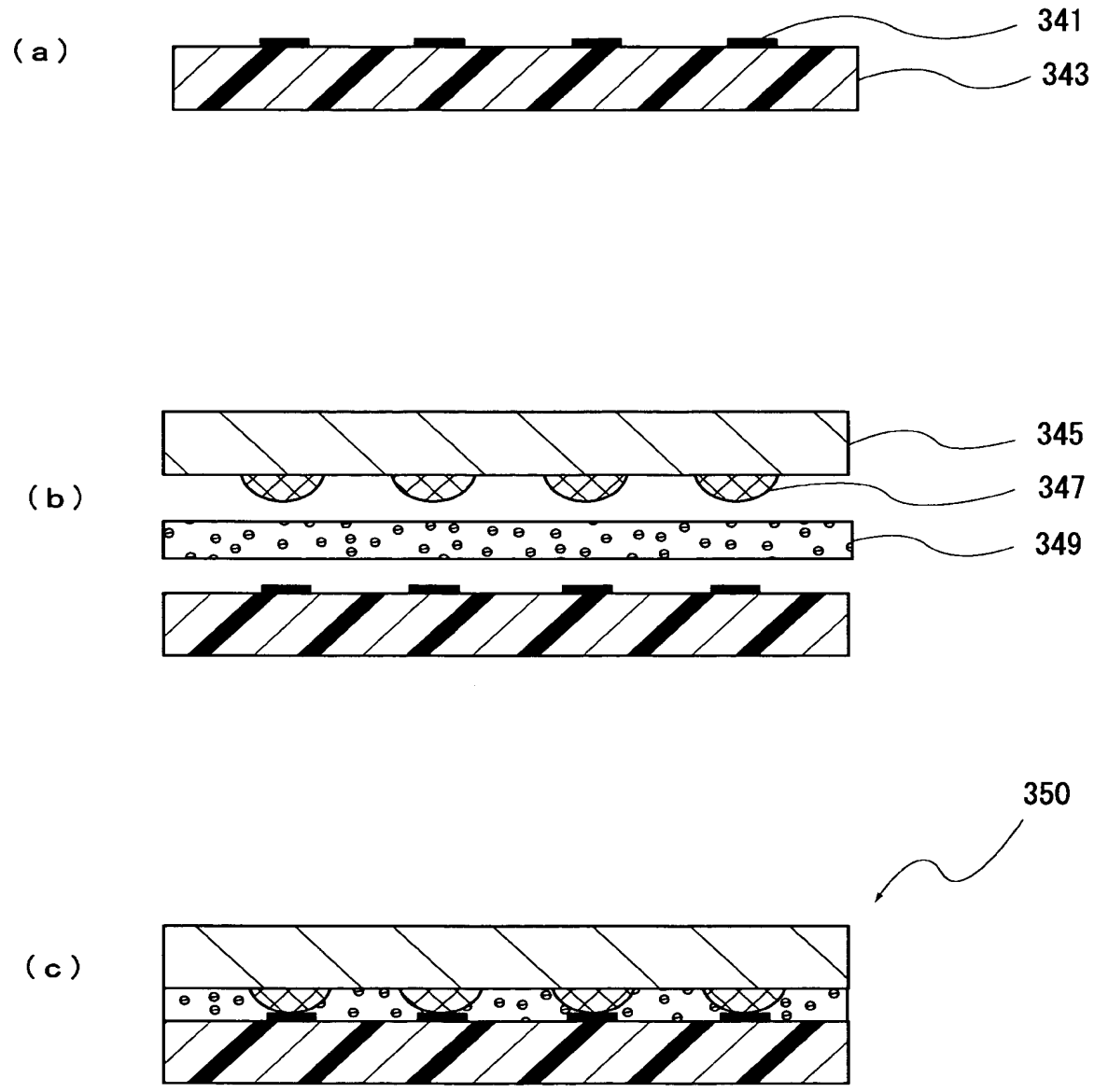
【図２４】


382
384
386
388

【図２５】


290
291
292
293
294
半田印刷
部品搭載
（マウンター）
Ｘ線検査
半田付け
（半田炉）

【図２６】



【書類名】　要約書

【要約】

【課題】　ＦＰＣ等の基板に対して、ＢＧＡ等のバンプ付き半導体素子を、半田リフロー実装する場合に、半田材料の塗布不良が少なくなって、バンプ付き半導体素子の実装位置がずれることが少ない回路基板、バンプ付き半導体素子の実装方法、およびそのような回路基板を使用した電気光学装置、並びに電子機器を提供する。

【解決手段】　バンプ付き半導体素子を実装するための複数のパッドと、当該複数のパッドから引き出された複数の配線を含む回路基板、バンプ付き半導体素子の実装構造、及び電気光学装置、並びに電子機器において、回路基板が、複数のパッドの縦方向のピッチと横方向のピッチとが異なる領域を有し、縦方向または横方向のいずれかピッチが広い側から、パッドからの配線を優先的に引き出す。

【選択図】　図１

特願２００２－２９８９８１

出　願　人　履　歴　情　報

識別番号　　［０００００２３６９］

１．変更年月日　　１９９０年　８月２０日
［変更理由］　　新規登録
住　所　　東京都新宿区西新宿２丁目４番１号
氏　名　　セイコーエプソン株式会社